

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022085

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01F 17/00  
H05K 9/00

(21)Application number : 10-198065

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.06.1998

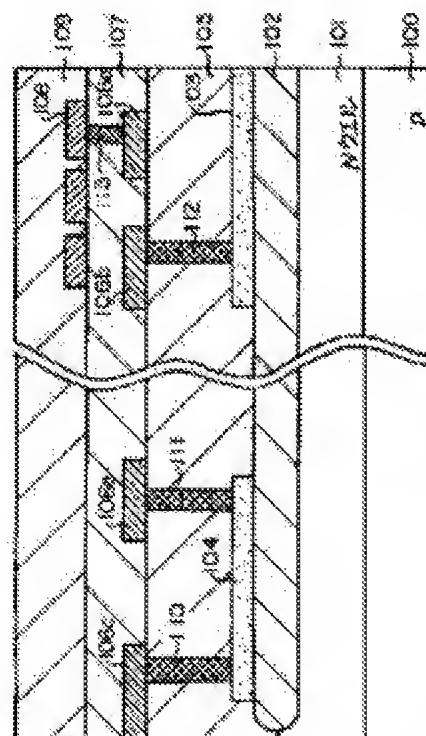
(72)Inventor : YOSHITOMI TAKASHI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device where elements close to each other are prevented from affecting each other and from degrading in inductance and Q value by enhancing a board in resistance and the method of manufacturing the device.

**SOLUTION:** A shielding layer 103 is made to confront an inductor 108 which forms an analog circuit formed on an element isolating region of a semiconductor substrate so as to be arranged between the inductor 108 and an element isolating region 102 which is isolated from the inductor 108 by a prescribed distance. The semiconductor substrate can be enhanced in resistance, elements close to each other can be restrained from affecting each other and from degrading in inductance and Q value, so that the analog circuit is capable of operating stably. The shielding layer 103 is formed of high-resistance polysilicon, single crystal silicon or amorphous silicon. An impurity diffusion region whose conductivity-type is opposite to that of a well under an element isolation region is made to serve as a shielding layer.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-22085

(P2000-22085A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
H 0 1 L 27/04		H 0 1 L 27/04	L 5 E 0 7 0
	21/822	H 0 1 F 17/00	B 5 E 3 2 1
H 0 1 F 17/00		H 0 5 K 9/00	Q 5 F 0 3 8
H 0 5 K 9/00			

審査請求 未請求 請求項の数8 F D (全 8 頁)

(21)出願番号 特願平10-198065

(22)出願日 平成10年6月29日(1998.6.29)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 吉富 崇

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74)代理人 100097629

弁理士 竹村 壽

Fターム(参考) 5E070 AA01 AA05 AA20 AB04 AB06

CB12 CB20 DA17 DB08

5E321 AA17 BB22 BB60 GG07

5F038 AR09 AR16 AZ04 BH10 BH19

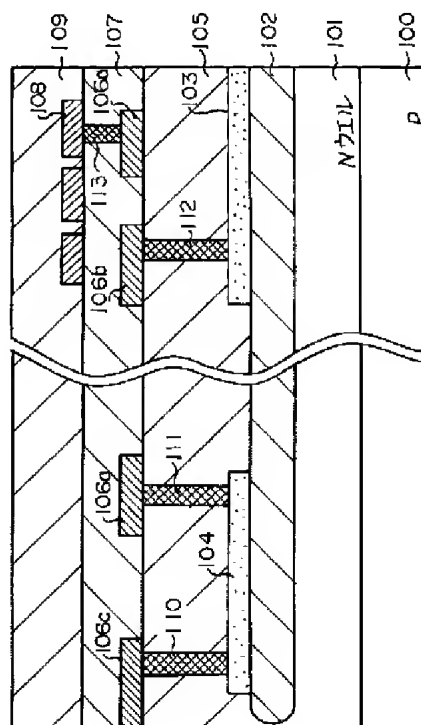
DF12 EZ01 EZ13 EZ20

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 基板抵抗を大きくすることにより近接した素子に対する影響を回避すると共にインダクタンス及びそのQ値の劣化を回避する半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板の素子分離領域上に形成したアナログ回路を構成するインダクタ108にシールド層103を、所定の距離をおいてこのインダクタと素子分離領域102との間に配置されるように、対向させる。基板抵抗を大きくすることが可能となり、近接した素子に対する影響を回避すると共にインダクタンス及びQ値の劣化を回避することができ、アナログ回路の動作を安定させる。このシールド層は、高抵抗ポリシリコン、単結晶シリコン又はアモルファスシリコンからなる。また、素子分離領域下のウェルにこれとは逆導電型の不純物拡散領域をシールド層としてもよい。



## 【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板の素子分離領域上に形成されたインダクタと、前記半導体基板と前記インダクタとの間に配置され、前記インダクタとは所定の距離だけ離れて対向配置されているシールド層とを備えていることを特徴とする半導体装置。

【請求項2】 前記シールド層には、前記インダクタに電流が流れた時に前記シールド層にその電流に起因して生じる磁界を阻止するように流れる電流の流れを阻害する電流阻止手段を設けることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記シールド層には、前記インダクタに電流が流れた時に前記シールド層にその電流に起因して生じる磁界を阻止するように流れる電流の流れを阻害するように、前記インダクタ中の電流方向と直交する方向に形成された溝が形成されされていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】 半導体基板と、前記半導体基板の素子分離領域上に形成されたインダクタと、前記半導体基板内部に形成され、前記インダクタとは所定の距離だけ離れて対向配置されているシールド層とを備え、前記素子分離領域は、前記半導体基板に形成された熱酸化膜もしくはトレンチとこのトレンチの内表面に形成されたシリコン酸化膜から構成され、前記シールド層は、前記熱酸化膜もしくは前記トレンチ内部のシリコン酸化膜上に形成されたポリシリコンもしくはアモルファスシリコンあるいは単結晶シリコンからなることを特徴とする半導体装置。

【請求項5】 半導体基板と、前記半導体基板の素子分離領域上に形成されたインダクタと、前記半導体基板内部に形成され、前記インダクタとは所定の距離だけ離れて対向配置されているシールド層とを備え、前記素子分離領域の下には、ウエルが形成され、前記シールド層は、前記ウエルの表面領域に形成されたこのウエルとは逆導電型であり、このウエルより高濃度で浅く形成された不純物拡散領域からなることを特徴とする半導体装置。

【請求項6】 半導体基板に素子領域を区画する素子分離領域を形成する工程と、前記半導体基板の素子分離領域上にインダクタを形成する工程と、前記半導体基板と前記インダクタとの間に前記インダクタとは所定の距離だけ離れて対向配置されているシールド層を形成する工程と、前記半導体基板に高ポリシリコン抵抗素子を形成する工程とを備え、前記シールド層は、ポリシリコンから構成され、高抵抗素子形成工程と同一工程で形成されていることを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板に素子領域を区画する素子分離領域を形成する工程と、前記半導体基板の素子分離領域の上にインダクタを形成する工程と、前記素子分離領域にMOSトランジスタを形成する工程と、前記素子分離領域の下にウエルを形成する工程と、前記ウエルの表面領域にこのウエルとは逆導電型であり、このウエルより高濃度で浅く形成された不純物拡散領域からなるシールド層を形成する工程とを備え、前記シールド層は、前記MOSトランジスタの前記ウエルとは逆導電型のチャンネルを形成する工程とは同一の工程で形成することを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板に素子領域を区画する素子分離領域を形成する工程と、前記半導体基板の素子分離領域の上にインダクタを形成する工程と、前記素子分離領域の下にウエルを形成する工程と、前記ウエルの表面領域にこのウエルとは逆導電型であり、このウエルより高濃度で浅く形成された不純物拡散領域からなるシールド層を形成する工程とを備え、前記シールド層は、前記MOSトランジスタの素子分離のための不純物拡散領域を形成する工程とは同一の工程で形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、とくにアナログ回路に用いられるインダクタの高性能化に関するものである。

【0002】

【従来の技術】従来、アナログ回路に用いられるインダクタをシリコンチップ上にアナログ回路とともに一体に形成した場合の断面図を図9に、前記インダクタの平面図を図10に、その等価回路を図11にそれぞれ示す。P型シリコン半導体などの半導体基板1には素子領域を区画する素子分離領域3がLOCOS法により形成されている。また、半導体基板1には、素子領域から素子分離領域3の下まで延在するNウエル2が形成されている。素子領域及び素子分離領域3を被覆するように半導体基板1上にはBPSG (Born-doped Phospho Silicate Glass) 膜などから構成された第1の層間絶縁膜4が形成されている。第1の層間絶縁膜4は、CMP (Chemical Mechanical Polishing) などにより表面が平坦化される。この平坦化された表面にアルミニウムなどの金属膜が堆積され、所定の形状にパターニングされて第1の金属配線5が形成される。

【0003】第1の金属配線5は、第1の層間絶縁膜4に形成されたコンタクト孔に埋め込まれたタングステンなどの接続プラグ6を介して半導体基板1と電気的に接続されている。この第1の金属配線5を被覆するように第1の層間絶縁膜4上にCVD法による $\text{SiO}_2$ などからなる第2の層間絶縁膜6が形成されている。第2の層間絶縁膜6は、CMPなどにより表面が平坦化され、この平坦化された表面にアルミニウムなどの金属膜をパターニングしてスパイラル状のインダクタ7が形成されている。インダクタ8は、第2の層間絶縁膜7に形成され

たコンタクト孔に埋め込まれたタングステンなどの接続プラグ9を介して半導体基板1と電気的に接続されている。このインダクタ8を被覆するように半導体基板1上に $\text{CVDSiO}_2$ などの保護絶縁膜を形成するか、もしくは層間絶縁膜を介して第3、第4の配線を積層形成することができる。インダクタ8は、図10に示すように、第1の配線5を介してポリシリコンの抵抗素子10と接続される。抵抗素子10は、第1の金属配線5を介して他の素子あるいは回路に接続される。図10に示すインダクタ8は、図9ではその一部(3巻分)が表示されている。

#### 【0004】

【発明が解決しようとする課題】半導体基板1に形成されたスパイラル状のインダクタ8の等価回路(図11)に示すように、シリコン半導体基板によって生ずる誘電体損失は、アナログ回路に大きな影響を与える。すなわち、インダクタに出入する電流の変化に対応して渦電流が発生し磁界を生じさせる。この磁界がアナログ回路の動作を誤らせる原因の1つになっている。この誘電体損失を低減する(即ちインダクタのQ値を大きくする)ためには半導体基板との間の容量( $C_{sub}$ )を減らすことと、基板抵抗( $R_{sub}$ )を増大させることが有効である。従来のNウェル上に形成された場合、ウェル中の不純物濃度は、 $5 \times 10^{16} \text{ cm}^{-3}$ と低濃度としても、その深さは2乃至 $3 \mu\text{m}$ 程度と深いシート抵抗で $2000 \Omega / \square$ 程度と低くなってしまふという問題があった。また、半導体基板の抵抗を高くするために比抵抗が $2000 \Omega \cdot \text{cm}$ といった高抵抗半導体基板を用いても、基板コンタクトを近接素子に対して分離しない場合には高周波動作においてカップリングが生じるといった問題があるため、そのままの高抵抗の状態で用いることが困難であった。また、基板抵抗は、その基板特有のものであり、基板抵抗を大きくするにはそれに対応した半導体基板を用意する必要があった。本発明は、このような事情によりなされたものであり、基板抵抗を大きくすることにより近接した素子に対する影響を回避すると共にインダクタンス及びそのQ値の劣化を回避する半導体装置及びその製造方法を提供する。

#### 【0005】

【課題を解決するための手段】本発明は、半導体基板の素子分離領域上に形成したアナログ回路を構成するインダクタにシールド層を、所定の距離においてこのインダクタと素子分離領域との間に配置されるように、対向させたことを特徴としている。この構成により、基板抵抗を大きくすることが可能となり、近接した素子に対する影響を回避すると共にインダクタンス及びQ値の劣化を回避することができる。本発明の半導体装置の第1の特徴は、素子分離領域上に形成されたインダクタに対向配置されたシールド層が、素子分離領域上に形成された高抵抗ポリシリコンからなることにある。この構成によ

り、基板抵抗を大きくすることが可能となり、近接した素子に対する影響を回避すると共にインダクタンス及びQ値の劣化を回避することが可能となる。本発明の半導体装置の第2の特徴は、シールド層が素子分離領域下に形成されたウェルとは逆導電型であり、且つ浅く、高濃度の高シート抵抗の不純物拡散領域からなることにある。この構成により、基板抵抗を大きくすることが可能となり、また基板との容量に直列にシールド層とウェルの間の接合容量がつながるために低い容量となり、近接した素子に対する影響を回避すると同時に、インダクタンス及びQ値の劣化を回避することが可能となる。前記シールド層は、複数層の不純物拡散領域から構成するようにしても良い。不純物拡散領域を複数層に構成することにより、接合容量を直列に基板容量につなげることができて、実効的な基板容量は小さくすることができる。

【0006】本発明の半導体装置の第3の特徴は、シールド層が素子分離領域中に形成された低濃度エピタキシャル層もしくはポリシリコン層からなることにある。この構成により、基板抵抗を大きくすることができ、近接した素子に対する影響を回避すると共にインダクタンス及びQ値の劣化を回避することが可能となる。本発明の半導体装置の第4の特徴は、シールド層には、インダクタに電流が流れた時にシールド層にその電流に起因して生じる磁界を阻止するように流れる電流の流れを阻害する電流阻止手段を設けることにある。この構成により、イメージ電流が生じることを回避することが可能となり、インダクタンスの低下を回避でき、さらにQ値が向上する。本発明の半導体装置の第5の特徴は、シールド層には、インダクタに電流が流れた時にシールド層にその電流に起因して生じる磁界を阻止するように流れる電流の流れを阻害するように、インダクタ中の電流方向と直交する方向に形成された溝が形成されていることにある。この構成構造により、イメージ電流が生じることを回避することが可能となり、インダクタンスの低下を回避でき、さらにQ値は向上する。

【0007】また、本発明に用いるシールド層は、基板電位と等しくしており、したがって基板抵抗を大きくさせることができる。さらにこのシールド層は、インダクタのすべての領域で対向配置されるようにしてそのシールド効果を維持することができる。本発明の半導体装置の製造方法の第1の特徴は、ポリシリコンから構成されたシールド層が抵抗素子を形成する工程と同一工程で形成されることにある。この構成により、工程数が増大せずにシールド層を形成することができる。前記シールド層と同じポリシリコンから構成された抵抗素子は、ウェルよりも高いシート抵抗であるようにしても良い。本発明の半導体装置の製造方法の第2の特徴は、高抵抗の不純物拡散領域から構成されたシールド層が素子分離領域下のウェルと逆導電型のチャンネルを形成する工程と同一工程で形成されることにある。この構成により工程数が

増大しないでシールド層を形成することが可能となる。本発明の半導体装置の製造方法の第3の特徴は、高抵抗の不純物拡散領域から構成されたシールド層が素子分離領域下のMOSTランジスタ間を分離するための不純物拡散領域を形成する工程と同一工程で形成されることにある。この構成により工程数が増大しないでシールド層の形成が可能となる。

【0008】本発明の半導体装置の製造方法は、高抵抗の不純物拡散領域からなるシールド層が素子分離領域下のウェルとは逆導電型の素子分離用不純物拡散領域を形成する工程と同一工程で形成されるようにしても良い。この構成により、工程数が増大しないでシールド層の形成が可能となる。本発明の半導体装置の製造方法は、高抵抗の不純物拡散領域からなるシールド層が高抵抗の不純物拡散領域とは逆導電型のチャネルを形成する工程と同一工程で形成されるようにしても良い。この構成により、工程数の増大が増大しないでシールド層の形成が可能となる。本発明の半導体装置の製造方法は、高抵抗の不純物拡散領域からなるシールド層が高抵抗の不純物拡散領域とは逆導電型の素子分離用不純物拡散領域を形成する工程と同一工程で形成されるようにしても良い。この構成により、工程数が増大しないでシールド層を形成することが可能となる。本発明のポリシリコンシールド層は、薄膜化することにより高抵抗化することができる。また、このポリシリコンシールド層のイオン注入のドーズ量を低くすることにより高抵抗化することができる。また、このポリシリコンシールド層に逆導電型のイオン注入を行うことにより高抵抗化することができる。

【0009】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1乃至図3を参照して第1の実施例を説明する。図1及び図2は、半導体装置の製造工程断面図、図3は、半導体装置の部分的に層間絶縁膜を透視した部分透視平面図である。P型シリコン半導体などの半導体基板100には素子領域を区画する素子分離領域102がLOCOS法により形成されている。また半導体基板100には、素子領域から素子分離領域102の下まで延在するN型ウェル領域(Nウェル)101が形成されている。半導体基板100の主面全面にポリシリコン膜が形成される。そしてこのポリシリコン膜に $\text{BF}_3$ を30KeV、 $7\text{e}13\text{cm}^{-2}$ の条件でイオン注入して高抵抗ポリシリコン膜を形成する。フォトリソグラフィとRIE(Reactive Ion Etching)法により、この高抵抗ポリシリコン膜をパターニングし、素子分離領域領域102上に高抵抗を有する抵抗素子104とインダクタのシールド層103が形成される。この後図示しないがMOSFETが形成された後、これらを被覆するようにCVD(Cheical Vapour Deposition)法により半導体基板100の主面全面に第1の層間絶縁膜であるシリコン酸化膜105が形成される。そしてシリコン酸

化膜(第1の層間絶縁膜)105は、CMPなどにより平坦化される(図1)。

【0010】シリコン酸化膜(第1の層間絶縁膜)105は、フォトリソグラフィ及びRIE法により、図示しないMOSFETのソース、ドレイン及びゲート上と、抵抗素子104上と、シールド層103上にコンタクト孔が形成される。これらのコンタクト孔には接続プラグが埋め込まれる。すなわち抵抗素子104の上のコンタクト孔には、接続プラグ110、111、シールド層103の上のコンタクト孔には、接続プラグ112がそれぞれ埋め込まれている。シリコン酸化膜(第1の層間絶縁膜)105の平坦化された表面にアルミニウムなどからなり、配線106a、106b及び106cから構成される第1の金属配線106がパターニングされている。第1の金属配線106は、抵抗素子104に接続され、且つ接続プラグ110、111に電気的に接続された配線106a及び106cを含んでいる。第1の金属配線106を被覆するようにCVD法によりシリコン酸化膜(第1の層間絶縁膜)105の上に第2の層間絶縁膜であるシリコン酸化膜107が形成される。シリコン酸化膜(第2の層間絶縁膜)107は、CMPなどにより平坦化され、フォトリソグラフィ及びRIE法により、配線106a上にコンタクト孔が形成される。

【0011】このコンタクト孔には接続プラグ113が埋め込まれる。シリコン酸化膜(第2の層間絶縁膜)107の平坦化された表面にアルミニウムなどからなる第2の金属配線108がパターニングされている。第2の金属配線108は、接続プラグ113を介して配線106aに接続されている。第2の金属配線108を被覆するようにCVD法によりシリコン酸化膜(第2の層間絶縁膜)107の上に、例えば、保護絶縁膜であるシリコン酸化膜109が形成される。配線106aの先端部分及び第2の金属配線108は、インダクタを構成している。インダクタ108は、配線106aを介してポリシリコン抵抗104と接続されている。ポリシリコン抵抗104は、第1の金属配線106等を介して他の素子あるいは回路に接続されている。図2に示すインダクタ108は、図3に示すインダクタの一部(3巻分)を表示している。

【0012】次に、図3に示す半導体基板の平面図によりインダクタの構造を説明する。シリコン酸化膜(第2の層間絶縁膜)107上に形成された第2の金属配線108の図面に示す部分は、スパイラル状に形成されており、この部分は、第1の金属配線106の一部と共にインダクタを構成する。素子分離領域領域102の上に形成されたポリシリコンのシールド層103は、上記インダクタを完全に包含している。インダクタは、シールド層103を形成する工程で形成したポリシリコンからなり、且つ素子分離領域102上の抵抗素子104とは配線106aを介して接続されている。抵抗素子104

は、配線106cを介して他の素子や回路に接続される。従来方法では、図10における基板抵抗( $R_{sub}$ )は、 $2000\Omega/\square$ 程度であるのに対し、この実施例では $20000\Omega/\square$ 程度の高抵抗の抵抗素子を用いる場合、工程数を増加させることなく、また他の素子に影響を与えることなく、高抵抗のシールド層を用いることにより誘電体損失によるQ値及びインダクタンスの低下を回避することが可能になる。また、高周波動作時の他の近接素子とのカップリングも回避できる。

【0013】次に、図4及び図5を参照して第2の実施例を説明する。図4及び図5は、シールド層の平面図である。図4に示すように、シールド層201は、インダクタ中の電流方向と直交する方向に溝202が形成されてシールド層が分割されるようなパターンになっている。このような構成のシールド層を用いることにより、イメージ電流が生じることを回避されるので、インダクタンスの低下を回避できると共にさらにQ値を向上させることができる。またシールド層に形成される溝は、図5に示すような構造であっても良い。すなわち溝204は、シールド層203の中心から放射状に形成されている。このようにシールド層が分割されていても周辺部でつながっているものでどの部分も基板電位になるように構成されている。

【0014】次に、図6及び図7を参照して第3の実施例を説明する。図6及び図7は、半導体装置の製造工程を説明する基板の断面図である。P型シリコン半導体などの半導体基板300には素子領域を区画する素子分離領域302がLOCOS法により形成されている。また半導体基板300には素子領域から素子分離領域302の下まで延在するウエル領域301が形成されている。図面ではシールド層が形成される予定のN型ウエル領域(Nウエル)301a、N型MOSトランジスタ(NMOSFET)が形成される予定のP型ウエル領域(Pウエル)301b、301cが示されている。次に、フォトリソグラフィを用いて、素子領域に形成される予定のNMOSFETのソース/ドレイン領域の分離のために、そしてパンチスルーストッパーとして用いるために、ボロン(B)を $120\text{KeV}$ の加速電圧、 $1e13\text{cm}^{-2}$ のドーズ量という条件でPウエル301b、301c及びこのPウエル間の素子分離領域302の下にイオン注入し、Pウエル301b、301c間にパンチスルーストッパー用P型不純物拡散領域303を形成する。

【0015】この実施例では、このイオン注入時に、インダクタが形成される予定の素子分離領域302中及び基板コンタクトを形成するための基板露出領域(素子領域)にもイオン注入が行われるようにする。そして、このイオン注入の結果、上記素子分離領域302の下及び基板露出領域のNウエル301aにシールド層として用いられるP型不純物拡散領域304が形成される(図6)。次に、Pウエル301b、301cには不純物を

イオン注入してN型ソース/ドレイン領域308が形成される。ソース/ドレイン領域308間の上にゲート酸化膜309を形成し、その上にゲート電極310を形成する。ゲート電極310の側面に絶縁側壁301を設けてN型MOSトランジスタ(NMOSFET)Tr1、Tr2が素子領域に形成される。このMOSFETが形成された後、これらを被覆するようにCVD法により半導体基板300の主面全面に第1の層間絶縁膜であるシリコン酸化膜305が形成される。そして、シリコン酸化膜(第1の層間絶縁膜)305は、CMPなどにより平坦化される。シリコン酸化膜(第1の層間絶縁膜)305は、フォトリソグラフィ及びRIE法により、基板露出領域のシールド層304の上にコンタクト孔が形成される。コンタクト孔には、例えば、タングステンなどからなる接続プラグ312が埋め込まれる。

【0016】シリコン酸化膜(第1の層間絶縁膜)305の平坦化された表面にアルミニウムなどからなる第1の金属配線306a、306bがパターンニングされている。第1の金属配線306aは、接続プラグ312を介してシールド層304に接続される。第1の金属配線306a、306bを被覆するようにCVD法によりシリコン酸化膜(第1の層間絶縁膜)305の上に第2の層間絶縁膜であるシリコン酸化膜313が形成される。シリコン酸化膜(第2の層間絶縁膜)313は、CMPなどにより平坦化され、フォトリソグラフィ及びRIE法により、第1の金属配線306b上にコンタクト孔が形成される。このコンタクト孔には接続プラグ314が埋め込まれる。シリコン酸化膜(第2の層間絶縁膜)313の平坦化された表面にアルミニウムなどからなる第2の金属配線307がパターンニングされている。第2の金属配線307は、接続プラグ314を介して第1の金属配線306bに接続されている。第2の金属配線307を被覆するようにCVD法によりシリコン酸化膜(第2の層間絶縁膜)313の上に、例えば、保護絶縁膜であるシリコン酸化膜315が形成される。

【0017】第1の金属配線306bの先端部分及び第2の金属配線307は、スパイラル状の部分を含んでおり、このスパイラル状の部分と第1の金属配線306bの先端部分は、インダクタを構成している。インダクタ307は、配線を介してMOSトランジスタTr1、Tr2などの他の素子や回路に接続される。図7にはインダクタ307の一部が表示されている。この実施例では工程数を増加させることなく、また他の素子に影響を与えることなく、高抵抗のシールド層を用いることにより誘電体損失によるQ値及びインダクタンスの低下を回避することが可能になる。また、シールド層とウエル間の接合容量を $C_d$ とした場合、等価回路における $C_{sub}$ は、 $C_{sub} \cdot C_d / (C_{sub} + C_d)$ となり、寄生容量は低下する。また、高周波動作時の他の近接素子とのカップリングも回避できる。また、工程数を増加させるこ



となく、他の素子に影響を与えることなく、高抵抗のシールド層を素子分離領域下に形成することができるので半導体基板との結合容量は小さくでき、その結果Q値の向上が可能になる。

【0018】次に、図8を参照して第4の実施例を説明する。図は、インダクタを用いる半導体装置の断面図である。P型シリコン半導体などの半導体基板400には素子領域を区画する素子分離領域402が形成されている。半導体基板400の主面には素子分離領域を形成する予定の領域に浅い溝(トレンチ)が形成され、そのトレンチの内表面にシリコン酸化膜404が形成される。この溝とその中に形成されたシリコン酸化膜404が素子分離領域(STI; Shallow Trench Isolation)402を構成する。次に、トレンチ内部のシリコン酸化膜404上には形成されたポリシリコンもしくはアモルファスシリコンあるいは単結晶シリコンからなるシールド層403を堆積させる。また、半導体基板400には素子領域から素子分離領域402の下まで延在するNウェル401が形成されている。この後、図示しないがMOSトランジスタが形成された後、これら及びシールド層402を被覆するようにCVD法により半導体基板400の主面全面に第1の層間絶縁膜であるシリコン酸化膜405が形成される。そして、シリコン酸化膜(第1の層間絶縁膜)405は、CMPなどにより平坦化される。

【0019】シリコン酸化膜(第1の層間絶縁膜)405の平坦化された表面にアルミニウムなどからなる第1の金属配線406がパターンニングされている。第1の金属配線406を被覆するようにCVD法によりシリコン酸化膜(第1の層間絶縁膜)405の上に第2の層間絶縁膜であるシリコン酸化膜407が形成される。シリコン酸化膜(第2の層間絶縁膜)407は、CMPなどにより平坦化され、フォトリソグラフィ及びRIE法により第1の金属配線406上にコンタクト孔が形成される。このコンタクト孔には接続プラグ408が埋め込まれる。シリコン酸化膜(第2の層間絶縁膜)407の平坦化された表面にアルミニウムなどからなり、スパイラル状に構成された部分を有する第2の金属配線409がパターンニングされている。第2の金属配線409は、接続プラグ408を介して第1の金属配線406に接続されている。図示はしないが第2の金属配線409を被覆するようにCVD法によりシリコン酸化膜(第2の層間絶縁膜)407の上に、例えば、保護絶縁膜であるシリコン酸化膜が形成される。第1の金属配線406の先端部分及び第2の金属配線108のスパイラル状の部分は、インダクタを構成している。インダクタ409は、第1の金属配線406などを介して他の素子あるいは回路に接続される。図8にはインダクタ409の一部が表示されている。

【0020】この実施例では2000Ω/□程度の高抵抗の抵抗素子を用いる場合、工程数を増加させることな

く、また他の素子に影響を与えることなく、高抵抗のシールド層を用いることにより誘電体損失によるQ値及びインダクタンスの低下を回避することが可能になる。また、高周波動作時の他の近接素子とのカップリングも回避できる。さらにSTI構造の素子分離領域が形成された半導体基板を用いることができ、半導体装置の微細化の向上が可能になる。

【0021】

【発明の効果】本発明は、以上の構成により、基板抵抗を大きくすることもしくは基板との容量を小さくすることが可能となり、近接した素子に対する影響を回避すると共にインダクタンス及びQ値の劣化を回避することが可能となる。また、工程数を増大させないでシールド層を容易に形成することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造工程を説明する半導体基板断面図。

【図2】本発明の半導体装置の製造工程を説明する半導体基板断面図。

【図3】図2の半導体装置の層間絶縁膜を部分的に透視した部分透視平面図。

【図4】本発明のシールド層の平面図。

【図5】本発明のシールド層の平面図。

【図6】本発明の半導体装置の製造工程を説明する半導体基板断面図。

【図7】本発明の半導体装置の製造工程を説明する半導体基板断面図。

【図8】本発明の半導体装置の断面図。

【図9】従来のインダクタを有する半導体装置の断面図。

【図10】図9の半導体装置の抵抗素子部分を含み層間絶縁膜を部分的に透視した部分透視平面図。

【図11】図9の半導体装置の回路図。

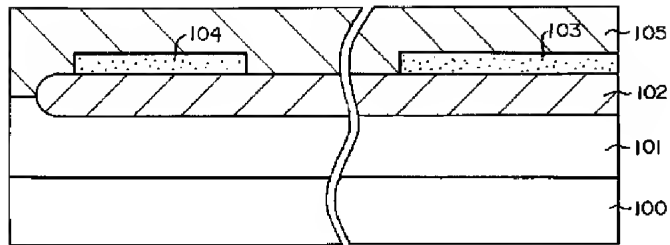
【符号の説明】

- 1、100、300、400・・・半導体基板、
- 2、101、301a、401・・・Nウェル、
- 3、102、302、402・・・素子分離領域、
- 4、105、305、405・・・第1の層間絶縁膜(シリコン酸化膜)、
- 5、106、106a、106b、106c、306a、306b、406・・・第1の金属配線、
- 6、9、110、111、112、113、312、314、408・・・接続プラグ、
- 7、107、313、407・・・第2の層間絶縁膜(シリコン酸化膜)、
- 8、108、307、409・・・インダクタ(第2の金属配線)、
- 10、104・・・抵抗素子、
- 103、201、203、304、403・・・シールド層、

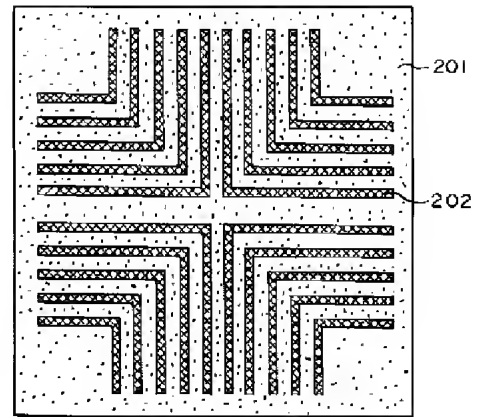
109、315・・・保護絶縁膜、  
204、204・・・シールド層の溝、

301b、301c・・・Pウェル。

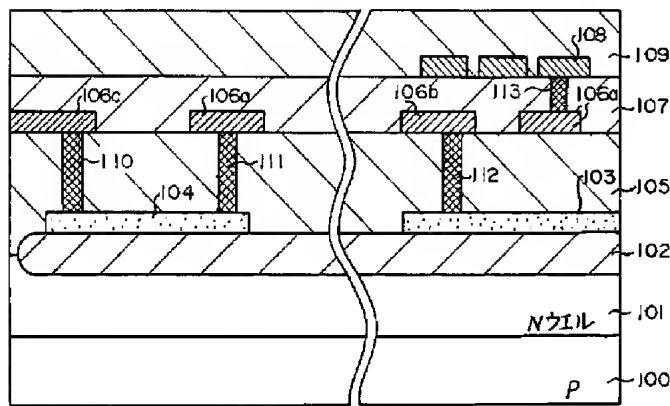
【図1】



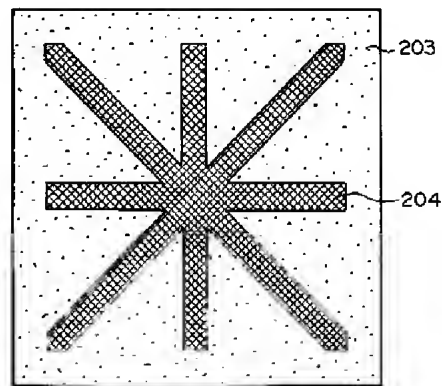
【図4】



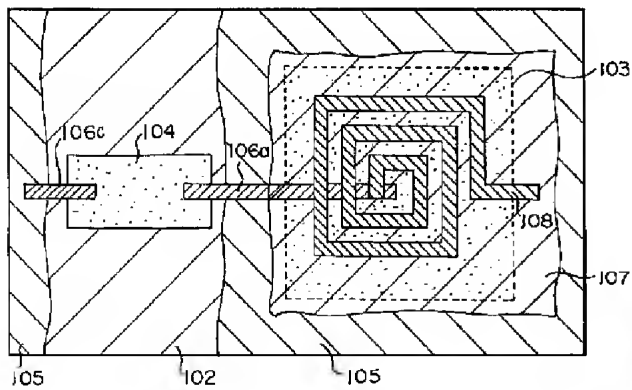
【図2】



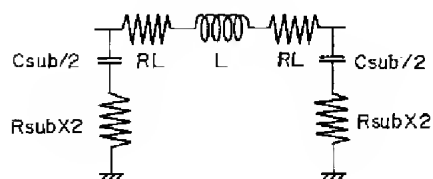
【図5】



【図3】

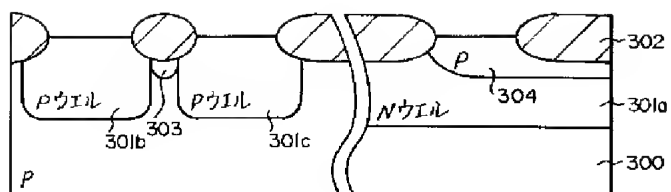


【図11】

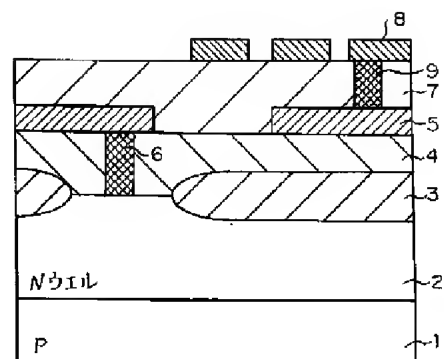




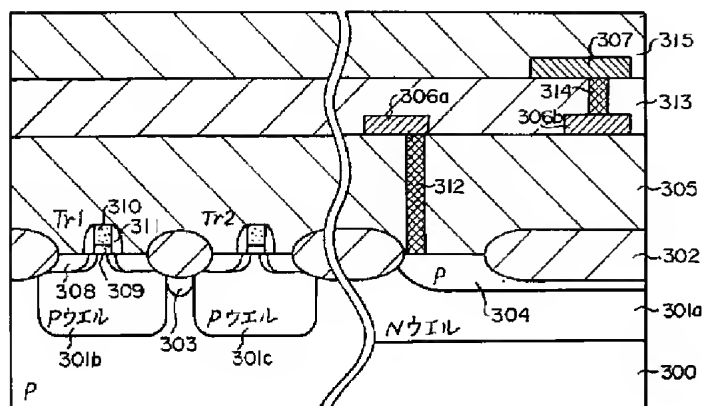
【図6】



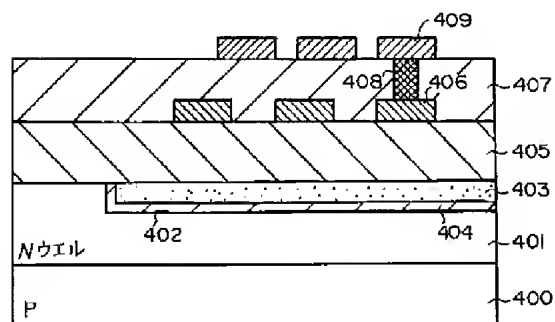
【図9】



【图7】



【图8】



【図10】

